

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

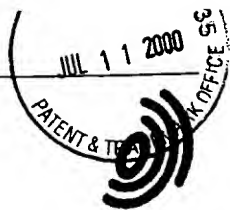
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

~~IMAGES ARE BEST AVAILABLE COPY.~~

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



Europäisches
Patentamt

European
Patent Office

Office européen
des brevets

Bescheinigung

Certificate

Attestation

Die angehefteten Unterla-
gen stimmen mit der
ursprünglich eingereichten
Fassung der auf dem näch-
sten Blatt bezeichneten
europäischen Patentanmel-
dung überein.

The attached documents
are exact copies of the
European patent application
described on the following
page, as originally filed.

Les documents fixés à
cette attestation sont
conformes à la version
initialement déposée de
la demande de brevet
européen spécifiée à la
page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

99830066.9

Der Präsident des Europäischen Patentamts:
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets
p.o.

I.L.C. HATTEN-HECKMAN



Europäisches
Patentamt

European
Patent Office

Office européen
des brevets

Blatt 2 der Bescheinigung
Sheet 2 of the certificate
Page 2 de l'attestation

Anmeldung Nr.:
Application no.:
Demande n°: 99830066.9

Anmeldetag:
Date of filing: 09/02/99
Date de dépôt:

Anmelder:
Applicant(s):
Demandeur(s):
STMicroelectronics S.r.l.
20041 Agrate Brianza MI
ITALY

Bezeichnung der Erfindung:
Title of the invention:
Titre de l'invention:

Biasing circuit for isolation region in integrated power circuit

In Anspruch genommene Priorität(en) / Priority(ies) claimed / Priorité(s) revendiquée(s)

Staat:
State:
Pays:

Tag:
Date:
Date:

Aktenzeichen:
File no.
Numéro de dépôt:

Internationale Patentklassifikation:
International Patent classification:
Classification internationale des brevets:
H01L27/02, H03K17/0814

Am Anmeldetag benannte Vertragsstaaten:
Contracting states designated at date of filing: AT/BE/CH/CY/DE/DK/ES/FI/FR/GB/GR/IE/IT/LI/LU/MC/NL/PT/SE
Etats contractants désignés lors du dépôt:

Bemerkungen:
Remarks: See for title page 1 of the description
Remarques:

"Un circuito integrato comprendente un componente di potenza verticale, una circuiteria di controllo dello stesso, e una struttura di protezione contro l'inversione di polarità del potenziale di substrato".

* * * * *

5

DESCRIZIONE

L'invenzione presente si riferisce al campo dei circuiti integrati. Più specificamente, l'invenzione si riferisce a una struttura per la protezione di circuiti integrati contro l'inversione di polarità del potenziale di substrato.

10

Il nome VIPower ("Vertical Intelligent Power") denota circuiti integrati che, in un stesso microcircuito, integrano uno o più componenti di potenza verticali (transistor bipolari di potenza) e una circuiteria (circuiteria di controllo) per controllare la commutazione dei componenti di potenza.

15

I circuiti integrati VIPower comprendono tipicamente un substrato semiconduttore comune che costituisce un elettrodo del componente di potenza. Nei circuiti integrati VIPower, per isolare elettricamente l'uno dall'altro e dal substrato i componenti della circuiteria di controllo, è provvista una regione drogata di tipo P (chiamata regione di isolamento).

20

La figura 1 mostra in sezione una porzione di una circuiteria di controllo di un circuito integrato VIPower. Su un substrato N⁺ 1, è epitassialmente formato uno strato N- 2. Una regione di isolamento di tipo P 3 è formata nello strato N- 2. La regione di isolamento di tipo P 3 definisce due porzioni isolate di strato N- 4, 5 che sono isolate l'una dall'altra e dallo strato N- 2. Nella porzione 4 di strato N- è formato un transistor bipolare PNP T1 della circuiteria di controllo, mentre nella porzione 5 dello strato N- è formato un transistor bipolare NPN T2 della circuiteria di controllo.

25

30

Polarizzando opportunamente la regione di isolamento di tipo P 3 al potenziale di terra (o, più generalmente, al potenziale più basso presente nel circuito integrato), le giunzioni PN formate dalla regione di isolamento 3, dallo strato N- 2 e dalle porzioni di strato N- 4, 5 sono polarizzate inversamente, ed è così realizzato l'isolamento elettrico. Ciò è necessario per

garantire che i transistor bipolari parassiti Qn1, Qn2 Qn3 siano tenuti spenti.

Nella tecnologia VIPower, la giunzione PN formata dalla regione di isolamento di tipo P 3 e dallo strato N- 2 ha una struttura capace di sostenere elevate tensioni inverse, tipicamente del centinaio di volt.

5 La figura 2 è un diagramma elettrico schematico che mostra un possibile impiego di un circuito integrato VIPower. Specificamente, la figura 2 mostra una situazione in cui un circuito integrato VIPower 8 è usato per controllare un IGBT ("Insulated Gate Bipolar Transistor") di alta tensione 7. Il chip del circuito integrato VIPower 8 ed il chip dell'IGBT 7
10 sono vantaggiosamente alloggiati in un medesimo contenitore 6 e formano un circuito di pilotaggio per una bobina 9. In tale disposizione, il substrato N+ comune del circuito integrato VIPower 8 (substrato N+ 1 in Figura 1) è elettricamente connesso al collettore dell'IGBT 7. Nell'esempio mostrato in
15 Figura 2, in cui si utilizza un IGBT, il chip dell'IGBT ed il chip del VIPower sono vantaggiosamente alloggiati nel medesimo contenitore. Questo è soltanto un esempio. Se il dispositivo di potenza usato per pilotare la bobina fosse un transistor bipolare di potenza, che può essere direttamente integrato nel chip del VIPower, il chip del VIPower può pilotare direttamente la bobina, senza bisogno di utilizzare un chip di IGBT.

20 Esternamente, il contenitore 6 appare come un dispositivo a tre terminali con un terminale di controllo 10 (che riceve un segnale di controllo di innesco TRIGGER, tipicamente un segnale logico che commuta tra la massa e 5 V) e due terminali di pilotaggio 11, 12. Il terminale 12 è connesso a un primo polo della batteria e fornisce un potenziale di riferimento
25 (massa). Il terminale 11 è connesso a un primo terminale della bobina 9, il secondo terminale della bobina 9 essendo connesso a un secondo polo della batteria BAT che, in condizioni di funzionamento normali, è a un potenziale più alto di quello del primo polo.

30 Facendo riferimento alla struttura circuitale di Figura 2, è necessario garantire che qualora la polarità della batteria sia inavvertitamente invertita

il circuito integrato VIPower non venga distrutto. Tipiche tensioni della batteria hanno valori fino a 24 V. Quindi, il circuito integrato VIPower deve essere capace di sostenere tensioni inverse di -24 V senza essere danneggiato.

5 L'IGBT ha inerentemente una struttura capace di sostenere tali tensioni inverse. Al contrario, per quanto concerne la circuiteria di controllo, se la regione di isolamento di tipo P 3 è tenuta polarizzata come al solito alla tensione di massa, e se la polarità della batteria fosse inavvertitamente invertita, la giunzione PN tra la regione di isolamento di tipo P e il substrato
10 sarebbe polarizzata direttamente, cosa che determinerebbe la distruzione del circuito integrato VIPower.

Lo stesso problema si presenta anche qualora l'IGBT non sia previsto, e per pilotare direttamente la bobina si utilizzi il componente di potenza (transistor bipolare di potenza) direttamente integrato nel chip del VIPower.

15 È così necessario polarizzare opportunamente la regione di isolamento di tipo P, così da assicurare non solo che i componenti della circuiteria di controllo sono isolati elettricamente l'uno dall'altro e dal substrato, ma anche la possibilità di un'inversione della polarità del potenziale di substrato.

Una soluzione nota è descritta in US 5,382,837. La figura 3 è un
20 circuito elettrico equivalente di tale soluzione. La figura 4 è un diagramma circuitale simile a quello di figura 3, mostrare una possibile realizzazione pratica del circuito di figura 3. Con riferimento alla figura 3, la regione di isolamento (ISO) della circuiteria di controllo del VIPower è connessa ai collettori comuni di due transistor bipolari NPN Q1, Q2. Il transistor Q1 ha
25 l'emettitore connesso a terra, il transistor Q2 ha l'emettitore connesso al substrato (SUB) del circuito integrato VIPower. La base del transistor Q1 è connessa attraverso una resistenza di polarizzazione R1 ad una tensione di alimentazione Vd. La base del transistor Q2 è tenuta a una tensione di polarizzazione costante prefissata da un circuito di polarizzazione 13, una
30 possibile realizzazione del quale è mostrata in figura 4. Tutti i transistor che

sono connessi al substrato del VIPower, come Q2 nelle figure 3 e 4, sono transistor verticali di alta tensione il cui emettitore coincide col substrato e la cui base è una regione drogata di tipo P simile ma isolata dalla regione di isolamento di tipo P della circuiteria di controllo del VIPower.

5 Nei circuiti delle figure 3 e 4, in condizioni di funzionamento normali quando il potenziale del substrato (SUB) è positivo, il transistor Q2 è spento ed il transistor Q1, in saturazione, polarizza la regione di isolamento (ISO) alle $V_{CE,sat}(Q1)$. Se il potenziale di substrato diviene negativo, il transistor Q2, la cui corrente di base è fornita dal transistor Q3 (fig. 4), va in
10 saturazione, così che la regione di isolamento ISO è polarizzata a una tensione uguale al potenziale negativo del substrato più $V_{CE,sat}(Q2)$.

 L'inconveniente dei circuiti mostrati nelle figure 3 e 4 è che richiedono una tensione di alimentazione Vd per il loro funzionamento. Al contrario, nel circuito di figura 2 il segnale di controllo TRIGGER che determina il
15 tempo di carica della bobina, è usato anche come tensione di alimentazione per la circuiteria di controllo del VIPower. Il segnale TRIGGER non si attiva quando può verificarsi un'inversione inavvertita della polarità della batteria, così che in questa condizione al circuito di VIPower manca una alimentazione di tensione. Di conseguenza, i circuiti delle figure 3 e 4 non
20 possono essere usati, perché non c'è una tensione di alimentazione Vd.

 In vista dello stato della tecnica descritto, è stato uno scopo dell'invenzione presente quello di fornire una struttura che non sia affetta dagli inconvenienti summenzionati.

 Secondo l'invenzione presente, tale scopo è stato conseguito per mezzo
25 di un circuito integrato comprendente un componente di potenza verticale avente un terminale formato da un substrato del microcircuito di un primo tipo di conducibilità, una circuiteria di controllo del componente di potenza, la circuiteria di controllo isolata dal substrato per mezzo di una regione di isolamento di un secondo tipo di conducibilità, e una struttura di protezione
30 contro l'inversione di polarità di un potenziale di substrato, caratterizzato dal

fatto che la struttura di protezione comprende un primo transistor bipolare con un emettitore connesso a detta regione di isolamento e un collettore connesso a un ingresso di un potenziale di riferimento del circuito integrato, un circuito di polarizzazione per polarizzare il primo transistor bipolare in condizione di saturazione inversa quando il potenziale di substrato è più alto del potenziale di riferimento, e un secondo transistor bipolare con un emettitore connesso al substrato e una base accoppiata alla regione di isolamento per accoppiare la regione di isolamento al substrato attraverso un'alta impedenza quando il potenziale di substrato è più basso del potenziale di riferimento.

Le caratteristiche ed i vantaggi dell'invenzione presente saranno resi evidenti dalla seguente descrizione particolareggiata di una forma di realizzazione pratica, illustrata a puro titolo di esempio non limitativo nei disegni annessi, in cui:

la figura 1 è una sezione di una porzione di circuiteria di controllo di un circuito integrato VIPower;

la figura 2 è un diagramma elettrico schematico di un possibile impiego di un circuito integrato VIPower;

la figura 3 mostra un circuito noto atto a polarizzare una regione di isolamento della circuiteria di controllo di un circuito integrato VIPower;

la figura 4 mostra una possibile forma di realizzazione pratica del circuito noto di figura 3;

la figura 5 è un diagramma elettrico di una struttura secondo l'invenzione presente;

la figura 6 è un diagramma elettrico della struttura di figura 5 e mostra gli elementi parassiti ad essa associati;

la figura 7 è una sezione della struttura di figura 6;

la figura 8 è un diagramma tensione-tempo risultato di simulazioni del circuito secondo l'invenzione;

la figura 9 è un diagramma corrente-tempo risultato di simulazioni del

circuito dell'invenzione;

la figura 10 è un diagramma tensione-tensione risultato di simulazioni del circuito dell'invenzione;

la figura 11 è un diagramma corrente-tensione risultato di simulazioni del circuito dell'invenzione;

la figura 12 è un diagramma tensione-tempo risultato di misurazioni del circuito secondo l'invenzione; e

la figura 13 è un diagramma corrente-tensione risultato di misurazioni del circuito secondo l'invenzione, in una condizione di inversione della polarità della tensione di substrato.

Facendo riferimento alla figura 5, è mostrato un diagramma schematico di una struttura secondo l'invenzione. La struttura comprende un transistor bipolare NPN Q33 con collettore connesso a terra, emettitore connesso alla regione di isolamento ISO della circuiteria di controllo di un VIPower (ad esempio, la regione di tipo P 3 di figura 1), e base connessa alla regione di isolamento ISO attraverso una resistenza R44. La base del transistor Q33 è connessa anche, attraverso una resistenza R33, al collettore di un transistor bipolare PNP Q11 avente emettitore connesso al segnale TRIGGER (l'ingresso di controllo del VIPower, figura 2) attraverso una resistenza R11, e base connessa a terra attraverso una resistenza R22. Il collettore del transistor Q11 è inoltre connesso alla base di un transistor NPN Q22 che ha collettore connesso all'emettitore del transistor Q11, e emettitore connesso al substrato del circuito integrato VIPower.

Il circuito di Figura 5 opera nel modo seguente.

In condizioni di funzionamento normali, con il substrato a un potenziale positivo, quando il segnale TRIGGER è a livello logico alto (5 V), il transistor bipolare Q11 polarizza il transistor bipolare Q33 in condizioni di saturazione inversa. La regione di isolamento ISO è tenuta così alla $V_{CEsat}(Q33)$, la tensione di saturazione fra emettitore e collettore del transistor Q33. Poiché in questa condizione la tensione di substrato (SUB) è

positiva, il transistor bipolare Q22 è spento. Il transistor bipolare Q22 è un transistor verticale il cui emettitore è formato dal substrato N+ del circuito integrato VIPower (Figura 7).

Si faccia ora l'ipotesi che il substrato (SUB) sia polarizzato a una
5 tensione negativa, per esempio in conseguenza di un'inversione di polarità della batteria nel circuito di Figura 2. Il segnale TRIGGER può essere a massa (0 V) o in alta impedenza (come menzionato nella parte introduttiva della descrizione, quando la polarità della batteria è invertita il segnale TRIGGER non è attivo essendo questa una condizione anormale). In queste
10 condizioni il transistor Q11 è spento e non fornisce corrente di base al transistor Q33. Il transistor Q33 è così anch'esso spento. Il transistor Q22 è acceso, e l'elettrodo di base dello stesso è a una VBE al di sopra della tensione negativa applicata al substrato SUB. La regione di isolamento ISO è di conseguenza mantenuta sostanzialmente al potenziale negativo del
15 substrato più una VBE, ed è in una condizione di alta impedenza. In questa condizione, la tensione ai capi della giunzione base-collettore del transistor Q33 è sostanzialmente uguale alla tensione applicata al substrato, meno la tensione base-emettitore (VBE) del transistor Q22. La giunzione base-collettore del transistor Q33 deve essere in grado di sostenere la tensione
20 applicata ai suoi capi. Inoltre, la tensione di rottura tra il collettore e l'emettitore del transistor Q33 deve essere più alta della tensione applicata al substrato, altrimenti la regione di isolamento di tipo P ISO ed il substrato di tipo N formerebbero un diodo polarizzato in diretta. Queste due condizioni sono soddisfatte facendo operare il transistor bipolare Q33 in regione
25 inversa, col collettore connesso a terra e l'emettitore connesso alla regione di isolamento ISO, come mostrato in Figura 5, così che le tensioni di rottura siano più alte della massima tensione negativa che può essere applicata al substrato.

La figura 7 è una sezione di dispositivo che mostra la struttura dei
30 transistor Q11, Q22 e Q33. Come visibile, i transistor Q11 e Q33 sono

formati all'interno della regione di isolamento di tipo P 3 che contiene la circuiteria di controllo del circuito integrato VIPower. Il transistor Q11 è formato in una porzione isolata 33 dello strato N- delimitata dalla regione di isolamento 3; l'emettitore del transistor Q11 è una regione di tipo P 34 formata nella porzione 33 dello strato N-; il collettore del transistor Q11 è una regione di tipo P 35 che circonda la regione 34; la base è la porzione 33 dello strato N-. Il transistor Q33 è formato in una porzione isolata 36 dello strato N- delimitata dalla regione di isolamento 3; la base del transistor Q33 è una regione di tipo P 37 formata nella porzione 36 dello strato N-; l'emettitore del transistor Q33 è una regione N+ 38 formata nella regione 37; il collettore del transistor Q33 è la porzione 36 dello strato N-. Il transistor Q22 è un transistor verticale ed ha base formata da una regione di tipo P 30 isolata dalla regione di isolamento di tipo P 3. Il collettore del transistor Q22 è una regione N+ 31 formata in una porzione 32 dello strato N- delimitata dalla regione di tipo P 30. L'emettitore del transistor Q22 è il substrato N+ 1.

Un altro importante vantaggio che si ha facendo operare il transistor Q33 in regione inversa è un migliore controllo dei componenti parassiti, come ora sarà discusso. La figura 6 è un diagramma elettrico del circuito di figura 5 e mostra anche i componenti parassiti che non sono stati rappresentati in figura 5. Si fa anche riferimento alla figura 7, grazie alla quale l'origine fisica dei componenti parassiti è chiaramente comprensibile. Quando una tensione negativa è applicata al substrato SUB, la tensione di massa è la tensione più alta del circuito integrato. Poiché il collettore del transistor Q33 è connesso a massa, il transistor bipolare parassita Qn11 associato al transistor Q33 è spento e non può fornire corrente di base al transistor bipolare parassita Qn22. Il transistor Q22 è un transistor bipolare verticale con una struttura simile a quella dei transistor bipolari parassiti. Il transistor Q22 permette di controllare i transistor parassiti. Se il transistor Q22 mancasse, il transistor bipolare parassita Qp3 associato al transistor Q11, che si accende quando il potenziale di substrato diviene negativo,

accenderebbe il transistor Q11. Il transistor Q11 porterebbe il transistor Q33 in saturazione. Il transistor Q33 polarizzerebbe la regione di isolamento ISO al potenziale di massa, creando così un percorso conduttivo tra massa e substrato attraverso il diodo, formato dalla regione di isolamento e dal substrato. Il transistor Q22 è progettato in modo da avere un guadagno più alto di quello dei transistor bipolari parassiti. Il transistor Q22 si accende e sottrae corrente all'emettitore del transistor Q11, impedendo che questa corrente sia fornita alla base del transistor Q33. Il transistor Q22 forma così un anello di regolazione che permette di controllare l'effetto dei transistor parassiti che potrebbero altrimenti portare i transistor Q11 e Q33 in conduzione. Usando resistenze in polisilicio, nella struttura non sono presenti ulteriori elementi parassiti.

La figura 8 è un diagramma tensione-tempo del segnale TRIGGER e del nodo N1 (figura 5), risultato di una simulazione del circuito. Questa simulazione si riferisce a una condizione operativa normale, col substrato SUB polarizzato a un potenziale positivo. Si vede che quando il segnale TRIGGER commuta portandosi al livello logico alto (5 V) il nodo N1 (base del transistor Q33) si porta a $V_{CEsat}(Q33)$. Facendo riferimento alla figura 9, che è un diagramma corrente-tempo risultato della stessa simulazione, è possibile vedere che la corrente I1 (corrente di collettore del transistor Q11, fornita alla base del transistor Q33) è approssimativamente uguale a 1,7 mA, sufficiente per rendere saturo il transistor Q33. Questo elevato valore di corrente è motivato dal fatto che siccome il transistor Q33 è in regione inversa, ha un guadagno basso.

Le figure 10 e 11 sono diagrammi risultato di una simulazione del circuito quando il substrato è polarizzato a un potenziale negativo. In figura 10 è possibile vedere che il potenziale della regione di isolamento ISO segue quello del substrato per valori negativi di quest'ultimo. La figura 11 mostra che quando un potenziale negativo è applicato al substrato la corrente di substrato I_{sub} è trascurabile.

La figura 12 è un diagramma temporale ottenuto da misurazioni, in una disposizione circuitale corrispondente a quella di figura 2. Si fa notare attenzione che quando il segnale TRIGGER commuta portandosi al livello logico alto, la regione di isolamento ISO è vincolata al potenziale $V_{CEsat}(Q33)$, mentre quando il segnale TRIGGER è al livello logico basso (Q11 spento) la regione di isolamento è in una condizione di alta impedenza ed è sostanzialmente flottante. L'impulso nella tensione della regione di isolamento in corrispondenza della transizione alto-basso del segnale TRIGGER è dovuto alla sovratensione sulla bobina 9.

La figura 13 è un diagramma risultante da misurazioni che mostra l'assorbimento di corrente nel circuito integrato VIPower quando il potenziale del substrato SUB è polarizzato negativamente. È possibile vedere che quando la polarità del potenziale applicato al substrato è invertita, la corrente assorbita è molto piccola (circa $233 \mu A @ -25 V$ di tensione substrato-massa); sostanzialmente, la tensione è quella risultante dalle perdite.

Rispetto alle soluzioni note, il circuito dell'invenzione presente può essere usato anche quando non è presente alcuna tensione di alimentazione. Il circuito garantisce che, quando la polarità del potenziale di substrato è invertita, il consumo corrente, e quindi la potenza dissipata, è trascurabile. Il circuito è semplice, essendo formato solamente da tre transistor e quattro resistenze. Il circuito occupa così una piccola area del microcircuito del circuito integrato.

RIVENDICAZIONI

1. Un circuito integrato comprendente un componente di potenza verticale avente un terminale formato da un substrato del microcircuito (1) di un primo tipo di conducibilità, una circuiteria di controllo del componente di potenza, la circuiteria di controllo isolata dal substrato (1) per mezzo di una regione di isolamento (3) di un secondo tipo di conducibilità, e una struttura di protezione contro l'inversione di polarità di un potenziale di substrato (SUB), caratterizzato dal fatto che la struttura di protezione comprende un primo transistor bipolare (Q33) con un emettitore connesso a detta regione di isolamento e un collettore connesso ad un ingresso per un potenziale di riferimento (12) del circuito integrato, un circuito di polarizzazione (Q11,R11,R22,R33,R44) per polarizzare il primo transistor bipolare (Q33) in una condizione di saturazione inversa quando il potenziale di substrato è più alto del potenziale di riferimento, e un secondo transistor bipolare (Q22) con un emettitore connesso al substrato e una base accoppiata alla regione di isolamento per accoppiare la regione di isolamento al substrato attraverso un'alta impedenza quando il potenziale di substrato è più basso del potenziale di riferimento.

2. Un circuito integrato secondo rivendicazione 1, caratterizzato dal fatto che detto circuito di polarizzazione (Q11,R11,R22,R33,R44) comprende un terzo transistor bipolare (Q11) con un emettitore accoppiato ad un terminale di controllo (TRIGGER) del circuito integrato e un collettore accoppiato a una base del primo transistor bipolare (Q33), detto terminale di controllo ricevendo un segnale di controllo esterno che è usato dalla circuiteria di controllo per determinare la commutazione del componente di potenza, detto segnale di controllo essendo usato per provvedere una tensione di alimentazione alla circuiteria di controllo e al circuito di polarizzazione.

3. Un circuito integrato secondo rivendicazione 2, caratterizzato dal fatto che detto primo transistor bipolare è un transistor verticale che ha un

emettitore formato da detto substrato (1), una base formata da una prima regione drogata del secondo tipo di conducibilità (30) formata nel substrato, e un collettore formato da una seconda regione drogata (31) del primo tipo di conducibilità formata nella prima regione drogata (30).

5 4. Un circuito integrato secondo rivendicazione 3, caratterizzato dal fatto che detti secondo e terzo transistor bipolare (Q22,Q33) sono isolati dal substrato (1) per mezzo di detta regione di isolamento (3).

10 5. Un circuito integrato secondo rivendicazione 4, caratterizzato dal fatto che detto primo tipo di conducibilità è il tipo N, detto secondo tipo di conducibilità è il tipo P, detti primo e secondo transistor bipolari (Q33,Q22) sono transistor NPN, e detto terzo transistor bipolare (Q11) è un transistor PNP.

15 6. Un circuito integrato secondo una qualunque delle rivendicazioni precedenti, caratterizzato dal fatto che detto componente di potenza verticale è un transistor bipolare di potenza verticale.

"Un circuito integrato comprendente un componente di potenza verticale, una circuiteria di controllo dello stesso, e una struttura di protezione contro l'inversione di polarità del potenziale di substrato".

* * * * *

5

RIASSUNTO

Un circuito integrato comprendente un componente di potenza verticale avente un terminale formato da un substrato del microcircuito (1) di un primo tipo di conducibilità, una circuiteria di controllo del componente di potenza, la circuiteria di controllo isolata dal substrato (1) per mezzo di
10 una regione di isolamento (3) di un secondo tipo di conducibilità, e una struttura di protezione contro l'inversione di polarità di un potenziale di substrato (SUB). La struttura di protezione comprende un primo transistor bipolare (Q33) con un emettitore connesso a detta regione di isolamento e un collettore connesso ad un ingresso per un potenziale di riferimento (12) del
15 circuito integrato, un circuito di polarizzazione (Q11,R11,R22,R33,R44) per polarizzare il primo transistor bipolare (Q33) in condizioni di saturazione inversa quando il potenziale di substrato è più alto del potenziale di riferimento, e un secondo transistor bipolare (Q22) con un emettitore connesso al substrato e una base accoppiata alla regione di isolamento per
20 accoppiare la regione di isolamento al substrato attraverso un'alta impedenza quando il potenziale di substrato è più basso del potenziale di riferimento. (Figura 5).

"An integrated circuit including a vertical power component, a control circuitry thereof, and a protection structure against polarity inversion of the substrate potential".

* * * * *

DESCRIPTION

The present invention relates to the field of integrated circuits. More specifically, the invention relates to a structure for the protection of integrated circuits against polarity inversion of the substrate potential.

VIpower ("Vertical Intelligent Power) denotes integrated circuits which in a same chip integrate one or more vertical power components (power bipolar transistors) and a circuitry (control circuitry) for controlling the switching of the power components.

VIpower integrated circuits typically comprise a common semiconductor substrate forming one electrode of the power component.

In VIpower integrated circuits, in order to electrically separate from each other and from the substrate the components of the control circuitry, a P type doped region (called isolation region) is provided.

Figure 1 shows in cross-section a portion of a control circuitry of a VIpower integrated circuit. On an N+ substrate 1, an N- layer 2 is epitaxially formed. A P type isolation region 3 is formed inside the N- layer 2. The P type isolation region 3 defines two isolated N- layer portions 4, 5 which are isolated from each other and from the N- layer 2. Inside N- layer portion 4 a PNP bipolar transistor T1 of the control circuitry is formed, while in the N- layer portion 5 an NPN bipolar transistor T2 of the control circuitry is formed.

By properly biasing the P type isolation region 3 at the ground potential (or, more generally, at the lowest potential existing in the integrated circuit), the PN junctions formed by the isolation region 3, the N- layer 2 and the N- layer portions 4, 5 are reverse-biased, so that electrical isolation is achieved. This is necessary in order to assure that parasitic

bipolar transistors Qn1, Qn2, Qn3 are kept off.

In VIPower technology, the PN junction formed by the P type isolation region 3 and the N- layer 2 has a structure capable of sustaining high reverse voltages, typically of some hundreds of volts.

5 Figure 2 is a schematic electrical diagram showing a possible use of a VIPower integrated circuit. Specifically, Figure 2 depicts a circuit arrangement wherein a VIPower integrated circuit 8 is used for controlling a high-voltage IGBT (Insulated Gate Bipolar Transistor) 7. The VIPower integrated circuit chip 8 and the IGBT chip 7 are advantageously housed in a
10 same package 6 and constitute a driver for a coil 9. In this arrangement the common N+ substrate of the VIPower integrated circuit 8 (N+ substrate 1 in Figure 1) is electrically connected to the collector of the IGBT 7. In the example shown in Figure 2, wherein an IGBT is used, the IGBT chip and the VIPower chip are advantageously housed in a same package. This is only an
15 example. If the power device used to drive the coil were a power bipolar transistor, which can be directly integrated in the VIPower chip, the VIPower chip can directly drive the coil, without the need of having an IGBT chip.

Externally, the package 6 appears as a three-terminal device having a
20 control terminal 10 (receiving a control or trigger signal TRIGGER, typically a logic signal switching between ground and 5 V) and two drive terminals 11, 12. Terminal 12 is connected to a first battery pole, providing a reference potential (ground). Terminal 11 is connected to a first terminal of the coil 9, the second terminal of the coil 9 being connected to a second
25 battery pole BAT which, in normal operating conditions, is at a potential higher than that of the first pole.

Referring to the circuit arrangement of Figure 2, it is necessary to guarantee that in case the polarity of the battery is inadvertently inverted the VIPower integrated circuit is not destroyed. Typical battery voltages have
30 values up to 24 V. So, the VIPower integrated circuit must be capable of

sustaining reverse voltages of -24 V without being damaged.

The IGBT inherently has a structure capable of sustaining such reverse voltages. On the contrary, as far as the control circuitry is concerned, if the P type isolation region 3 is kept biased at the ground voltage as usual, and if the polarity of the battery were inadvertently inverted, the PN junction between the P type isolation region and the substrate would be forwardly biased, which would determine the destruction of the VIPower integrated circuit.

The same problem is encountered even if the IGBT is not provided, and the power component (power bipolar transistor) directly integrated in the VIPower chip is used to directly drive the coil.

It is thus necessary to properly bias the P type isolation region, so as to assure that not only the components of the control circuitry are electrically isolated from each other and from the substrate, but also the possibility of an inversion of the polarity of the substrate potential.

A known solution is described in US 5,382,837. Figure 3 is an electrical equivalent circuit of such a solution. Figure 4 is a circuit diagram similar to that of Figure 3, showing a possible practical implementation of the circuit of Figure 3. With reference to Figure 3, the isolation region (ISO) of the control circuitry of the VIPower is connected to the common collectors of two NPN bipolar transistors Q1, Q2. Transistor Q1 has the emitter connected to ground, transistor Q2 has the emitter connected to the substrate (SUB) of the VIPower integrated circuit. The base of transistor Q1 is connected through a bias resistor R1 to a voltage supply Vd. The base of transistor Q2 is kept at a constant pre-set bias voltage by a bias circuit 13, a possible implementation of which is shown in Figure 4. All the transistors that are connected to the substrate of the VIPower, such as Q2 in Figures 3 and 4, are high-voltage vertical transistors whose emitter coincides with the substrate and whose base is a P type doped region similar to but isolated from the P type isolation region of the control circuitry of the VIPower.

In the circuits of Figures 3 and 4, in normal operating conditions, when the potential of the substrate (SUB) is positive, transistor Q2 is off and transistor Q1, in saturation, biases the isolation region (ISO) at $V_{CE,sat}(Q1)$. If the substrate potential goes negative, transistor Q2, whose base current is supplied by transistor Q3 (Fig. 4), goes into saturation, so that the isolation region ISO is biased at a voltage equal to the negative potential of the substrate plus $V_{CE,sat}(Q2)$.

The drawback of the circuits shown in Figures 3 and 4 is that they require a supply voltage V_d for their operation. On the contrary, in the arrangement of Figure 2, the control signal TRIGGER which determines the coil charge time, is also used as a supply voltage for the control circuitry of the VIPower. Signal TRIGGER is not activated when an inadvertent inversion of the battery polarity can take place, so that in this condition the VIPower circuit lacks a voltage supply. Consequently, the circuits of Figures 3 and 4 cannot be used, because there is not a supply voltage V_d .

In view of the state of art described, it has been an object of the present invention that of providing a structure not affected by the above-mentioned drawbacks.

According to the present invention, such an object has been achieved by means of an integrated circuit including a vertical power component having a terminal formed by a chip substrate of a first conductivity type, a control circuitry thereof, the control circuitry isolated from the substrate by means of an isolation region of a second conductivity type, and a protection structure against polarity inversion of a substrate potential, characterized in that the protection structure comprises a first bipolar transistor with an emitter connected to said isolation region and a collector connected to a reference potential input of the integrated circuit, a bias circuit for biasing the first bipolar transistor in a reverse saturated mode when the substrate potential is higher than the reference potential, and a second bipolar transistor with an emitter connected to the substrate and a base coupled to

the isolation region for coupling the isolation region to the substrate through a high-impedance when the substrate potential is lower than the reference potential.

The features and advantages of the present invention will be made apparent by the following detailed description of an embodiment thereof, illustrated as a non-limiting example only in the annexed drawings, wherein:

Figure 1 is a cross-section of a control circuitry portion of a VIPower integrated circuit;

Figure 2 is a schematic electrical diagram of a possible use of a VIPower integrated circuit;

Figure 3 shows a conventional circuit suitable for biasing an isolation region of the control circuitry of a VIPower integrated circuit;

Figure 4 shows a possible practical embodiment of the conventional circuit of Figure 3;

Figure 5 is an electrical diagram of a structure according to the present invention;

Figure 6 is an electrical diagram of the structure of Figure 5, showing the associated parasitic elements;

Figure 7 is a device cross-section of the structure of Figure 6;

Figure 8 is a voltage-time diagram resulting from simulation of the circuit according to the invention;

Figure 9 is a current-time diagram resulting from simulation of the circuit of the invention;

Figure 10 is a voltage-voltage diagram resulting from simulation of the circuit of the invention;

Figure 11 is a current-voltage diagram resulting from simulation of the circuit of the invention;

Figure 12 is a voltage-time diagram resulting from measurement of the circuit according to the invention; and

Figure 13 is a current-voltage diagram resulting from measurement of

the circuit according to the invention, in a condition of polarity inversion of the substrate voltage.

Referring to Figure 5, a schematic of a structure according to the invention is shown. The structure comprises an NPN bipolar transistor Q33 with collector connected to ground, emitter connected to the isolation region ISO of the control circuitry of a VIPower (e.g., P type region 3 in Figure 1), and base connected to the isolation region ISO through a resistor R44. The base of transistor Q33 is also connected, through a resistor R33, to the collector of a PNP bipolar transistor Q11 having emitter connected to the signal TRIGGER (the control input to the VIPower, Figure 2) through a resistor R11, and base connected to ground through a resistor R22. The collector of transistor Q11 is further connected to the base of an NPN transistor Q22 having collector connected to the emitter of transistor Q11, and emitter connected to the substrate of the VIPower integrated circuit.

The circuit of Figure 5 operates in the following way.

In normal operating conditions, with the substrate at a positive potential, when signal TRIGGER is at the high logic level (5 V), bipolar transistor Q11 biases bipolar transistor Q33 in reverse saturation condition. The isolation region ISO is thus kept at $V_{CEsat}(Q33)$, the emitter-collector saturation voltage of transistor Q33. Since in this condition the substrate voltage (SUB) is positive, bipolar transistor Q22 is off. Bipolar transistor Q22 is a vertical transistor whose emitter is formed by the N⁺ substrate of the VIPower integrated circuit (Figure 7).

It is now assumed the substrate (SUB) is biased at a negative voltage, for example in consequence of an inversion of polarity of the battery in the circuit of Figure 2. Signal TRIGGER can either be at ground (0 V) or at high impedance (as mentioned in the introductory part of the description, when battery polarity is inverted signal TRIGGER is not active being an abnormal condition). In these conditions transistor Q11 is off and does not furnish base current to transistor Q33. Transistor Q33 is thus also off. Transistor

Q22 is on, and the base electrode thereof is at one VBE above the negative voltage applied to the substrate SUB. The isolation region ISO is consequently held substantially at the negative potential of the substrate plus one VBE and it is in a high impedance condition. In this condition, the voltage across the base-collector junction of transistor Q33 is substantially equal to the voltage applied to the substrate, minus the base-emitter voltage (VBE) of transistor Q22. The base-collector junction of transistor Q33 must be capable of sustaining the voltage applied thereacross. Also, the breakdown voltage between the collector and the emitter of transistor Q33 must be higher than the voltage applied to the substrate, otherwise the P type isolation region ISO and the N type substrate would form a forward biased diode. These two conditions are satisfied by operating bipolar transistor Q33 is the inverse region, with the collector connected to ground and the emitter connected to the isolation region ISO, as shown in Figure 5, so that the breakdown voltages are higher than the maximum negative voltage that can be applied to the substrate.

Figure 7 is a device cross-section showing the structure of transistors Q11, Q22 and Q33. As visible, transistors Q11 and Q33 are formed inside the P type isolation region 3 which also contains the control circuitry of the VIPower integrated circuit. Transistor Q11 is formed inside an isolated N-layer portion 33 delimited by the isolation region 3; the emitter of transistor Q11 is a P type region 34 formed in the N- layer portion 33; the collector of transistor Q11 is a P type region 35 surrounding region 34; the base is the N-layer portion 33. Transistor Q33 is formed inside an isolated N- layer portion 36 delimited by the isolation region 3; the base of transistor Q33 is a P type-region 37 formed inside the N- layer portion 36; the emitter of transistor Q33 is an N+ region 38 formed inside region 37; the collector of transistor Q33 is the N- layer portion 36. Transistor Q22 is a vertical transistor and has a base formed by a P type region 30 isolated from the P type isolation region 3. The collector of transistor Q22 is an N+ region 31

formed inside an N- layer portion 32 delimited by P type region 30. The emitter of transistor Q22 is the N+ substrate 1.

Another important advantage of operating transistor Q33 in the inverse region is the better control of parasitic components, as will be now discussed. Figure 6 is an electrical diagram of the circuit of Figure 5, also showing parasitic components which were not depicted in Figure 5.

Reference is also made to Figure 7, where the physical origin of the parasitic components can be clearly understood. When a negative voltage is applied to the substrate SUB, the ground voltage is the highest voltage in the

integrated circuit. Since the collector of transistor Q33 is connected to ground, the parasitic bipolar transistor Qn11 associated to transistor Q33 is off and cannot supply base current to the parasitic bipolar transistor Qn22.

Transistor Q22 is a vertical bipolar transistor with a structure similar to that of the parasitic bipolar transistors. Transistor Q22 allows for controlling the parasitic transistors. If transistor Q22 were absent, the parasitic bipolar

transistor Qp3 associated with transistor Q11, which turns on when the potential of substrate goes negative, would turn transistor Q11 on. Transistor Q11 would drive transistor Q33 into saturation. Transistor Q33 would bias the isolation region ISO at the ground potential, thus creating a conductive path between ground and the substrate through the diode formed by the

isolation region and the substrate. Transistor Q22 is designed to have a gain higher than that of the parasitic bipolar transistors. Transistor Q22 turns on and subtracts current from the emitter of transistor Q11, preventing this current from being supplied to the base of transistor Q33. Transistor Q22 thus forms a regulation loop that allows for controlling the effect of parasitic transistors, which could otherwise bring transistors Q11 and Q33 into conduction. By using polysilicon resistors, no further parasitic elements are introduced in the structure.

Figure 8 is a voltage-time diagram of the signal TRIGGER and of node N1 (Figure 5) resulting from a simulation of the circuit. This

simulation refers to a normal operating condition, with the substrate SUB biased at a positive potential. It is visible that when signal TRIGGER switches to the high logic level (5 V) node N1 (base of transistor Q33) goes to $V_{CEsat}(Q33)$. Referring to Figure 9, which is current-time diagram
5 resulting from the same simulation, it is visible that current I1 (collector current of transistor Q11, supplied to the base of transistor Q33) is approximately equal to 1.7 mA, sufficient for saturating transistor Q33. This high current value is motivated by the fact that since transistor Q33 is in the inverse region, it has a low gain.

10 Figures 10 and 11 are diagrams resulting from a simulation of the circuit when the substrate is biased at a negative potential. From Figure 10 it can be seen that the potential of the isolation region ISO follows that of the substrate for negative values of the latter. Figure 11 shows that when a negative potential is applied to the substrate the substrate current I_{sub} is
15 negligible.

Figure 12 is a time diagram obtain from measurements, in a circuit arrangement corresponding to that of Figure 2. It is noted than when signal TRIGGER switches to the high logic level, the isolation region ISO is forced at the potential $V_{CEsat}(Q33)$, while when signal TRIGGER is at the low
20 logic level (Q11 off) the isolation region is in an high impedance condition and is substantially floating. The spike appearing in the voltage of the isolation region at the high-to-low transition of signal TRIGGER is due to the overvoltage across the coil 9.

Figure 13 is a diagram resulting from measurement showing the
25 current absorption of the VIPower integrated circuit when the potential of the substrate SUB is negatively biased. It is possible to see that when the polarity of the potential applied to the substrate is inverted, the absorbed current is very small (approximately $233 \mu A @ -25V$ of substrate to ground voltage); substantially, the current is the one resulting from leakage.

30 Compared to the known solutions, the circuit of the present invention

can be used even when no supply voltage is present. The circuit guarantees that, when the polarity of the substrate potential is inverted, the current consumption, and thus the power dissipated, is negligible. The circuit is simple, being formed by only three transistors and four resistors. The circuit thus occupies a small area of the integrated circuit chip.

5

CLAIMS

1. An integrated circuit including a vertical power component having a terminal formed by a chip substrate (1) of a first conductivity type, a control circuitry thereof, the control circuitry isolated from the substrate (1) by means of an isolation region (3) of a second conductivity type, and a protection structure against polarity inversion of a substrate potential (SUB), characterized in that the protection structure comprises a first bipolar transistor (Q33) with an emitter connected to said isolation region and a collector connected to a reference potential input (12) of the integrated circuit, a bias circuit (Q11,R11,R22,R33,R44) for biasing the first bipolar transistor (Q33) in a reverse saturated mode when the substrate potential is higher than the reference potential, and a second bipolar transistor (Q22) with an emitter connected to the substrate and a base coupled to the isolation region for coupling the isolation region to the substrate through a high-impedance when the substrate potential is lower than the reference potential.

2. An integrated circuit according to claim 1, characterized in that said bias circuit (Q11,R11,R22,R33,R44) comprises a third bipolar transistor (Q11) with an emitter coupled to control terminal (TRIGGER) of the integrated circuit and a collector coupled to a base of the first bipolar transistor (Q33), said control terminal receiving an external control signal which is used by the control circuitry for causing switching of the power component, said control signal being used to provide a voltage supply to the control circuitry and to the bias circuit.

3. An integrated circuit according to claim 2, characterized in that said first bipolar transistor is a vertical transistor having an emitter formed by said substrate (1), a base formed by a first doped region of the second conductivity type (30) formed in the substrate, and a collector formed by a second doped region (31) of the first conductivity type formed within the first doped region (30).

4. An integrated circuit according to claim 3, characterized in that said

second and third bipolar transistors (Q22,Q33) are isolated from the substrate (1) by means of said isolation region (3).

5 5. An integrated circuit according to claim 4, characterized in that said first conductivity type is the N type, said second conductivity type is the P type, said first and second bipolar transistors (Q33,Q22) are NPN transistors, and said third bipolar transistor (Q11) is a PNP transistor.

6. An integrated circuit according to anyone of the preceding claims, characterized in that said vertical power component is a vertical power bipolar transistor.

"An integrated circuit including a vertical power component, a control circuitry thereof, and a protection structure against polarity inversion of the substrate potential."

* * * * *

ABSTRACT

An integrated circuit including a vertical power component having a terminal formed by a chip substrate (1) of a first conductivity type, a control circuitry thereof, the control circuitry isolated from the substrate (1) by means of an isolation region (3) of a second conductivity type, and a protection structure against polarity inversion of a substrate potential (SUB). The protection structure comprises a first bipolar transistor (Q33) with an emitter connected to said isolation region and a collector connected to a reference potential input (12) of the integrated circuit, a bias circuit (Q11,R11,R22,R33,R44) for biasing the first bipolar transistor (Q33) in a reverse saturated mode when the substrate potential is higher than the reference potential, and a second bipolar transistor (Q22) with an emitter connected to the substrate and a base coupled to the isolation region for coupling the isolation region to the substrate through a high-impedance when the substrate potential is lower than the reference potential. (Figure 5).

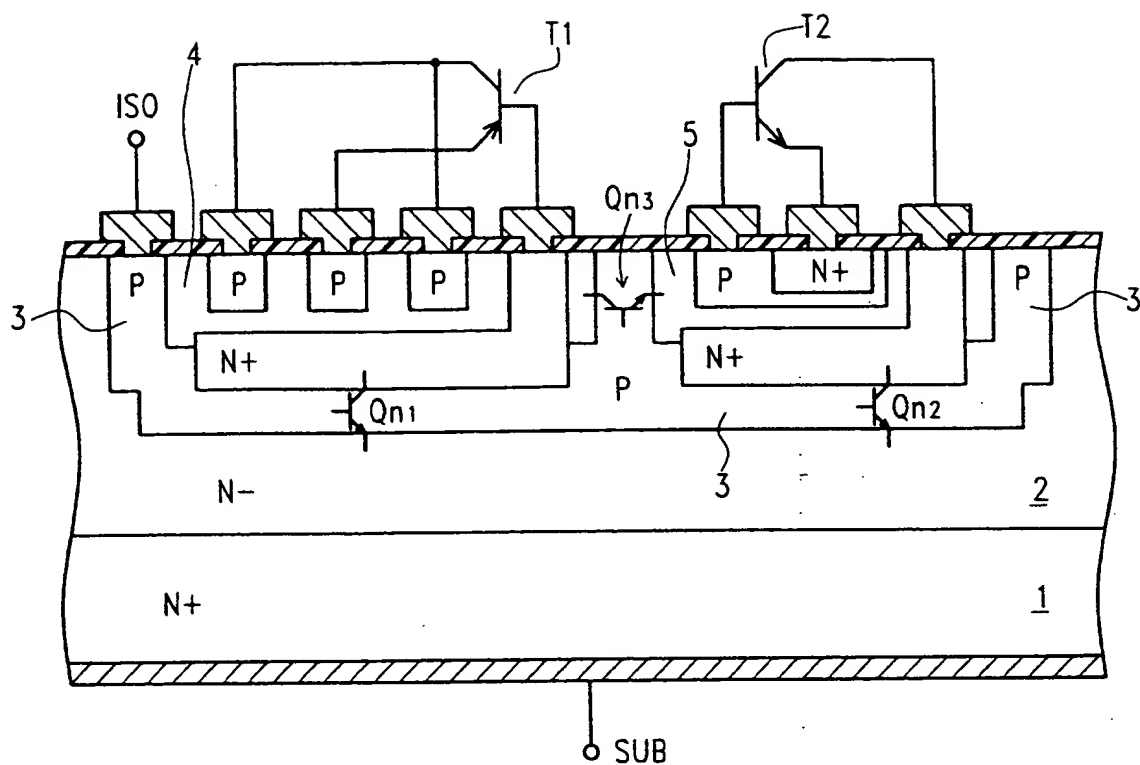


Fig.1 (PRIOR ART)

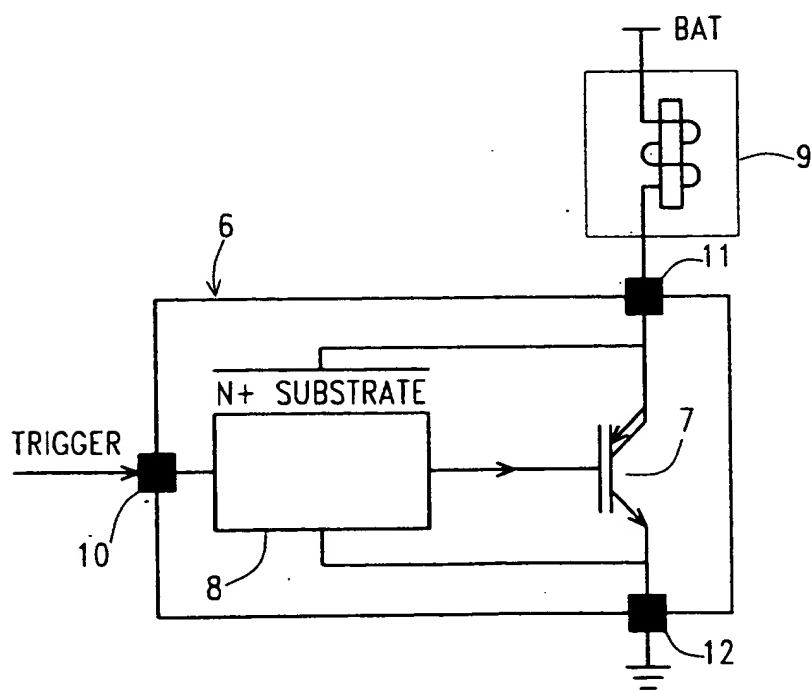
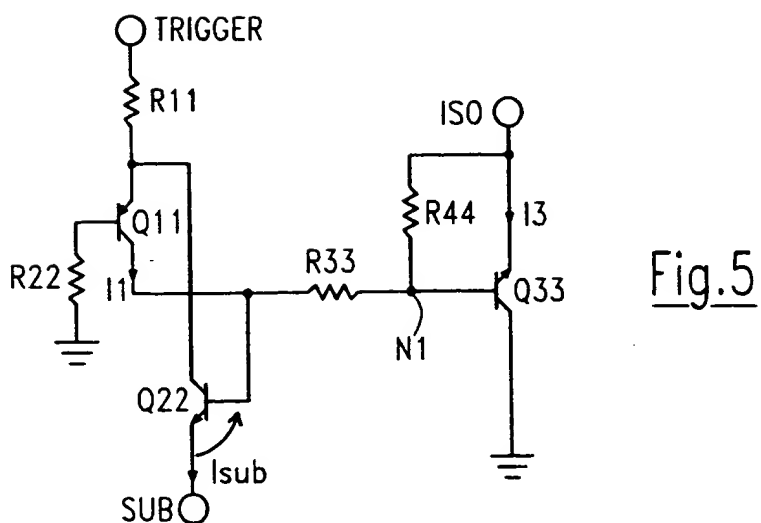
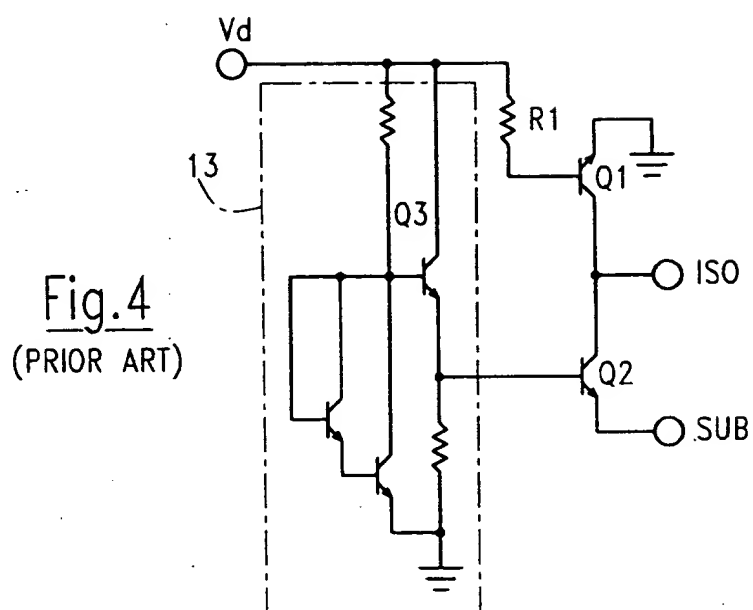
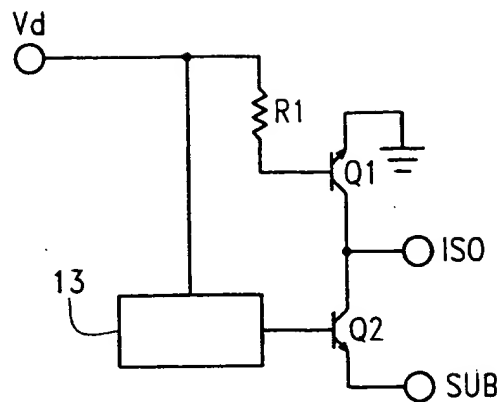


Fig.2 (PRIOR ART)



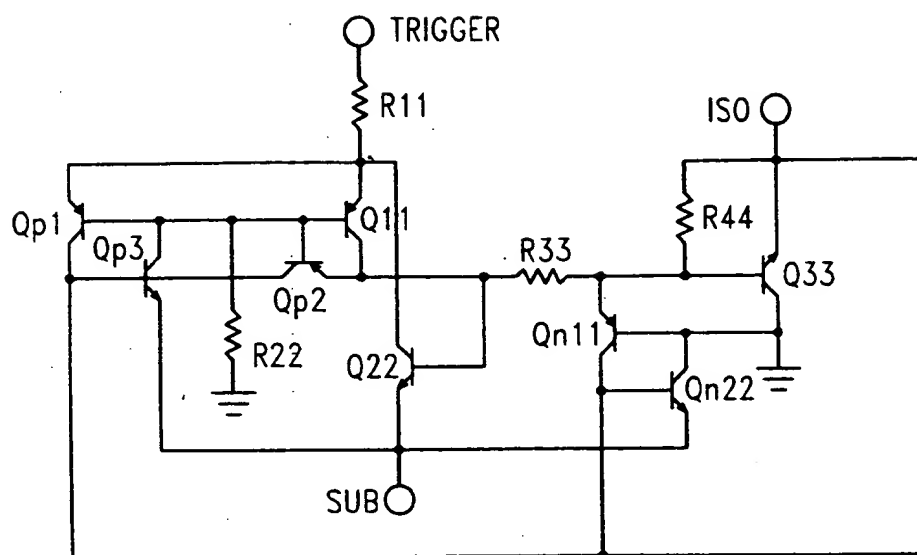


Fig.6

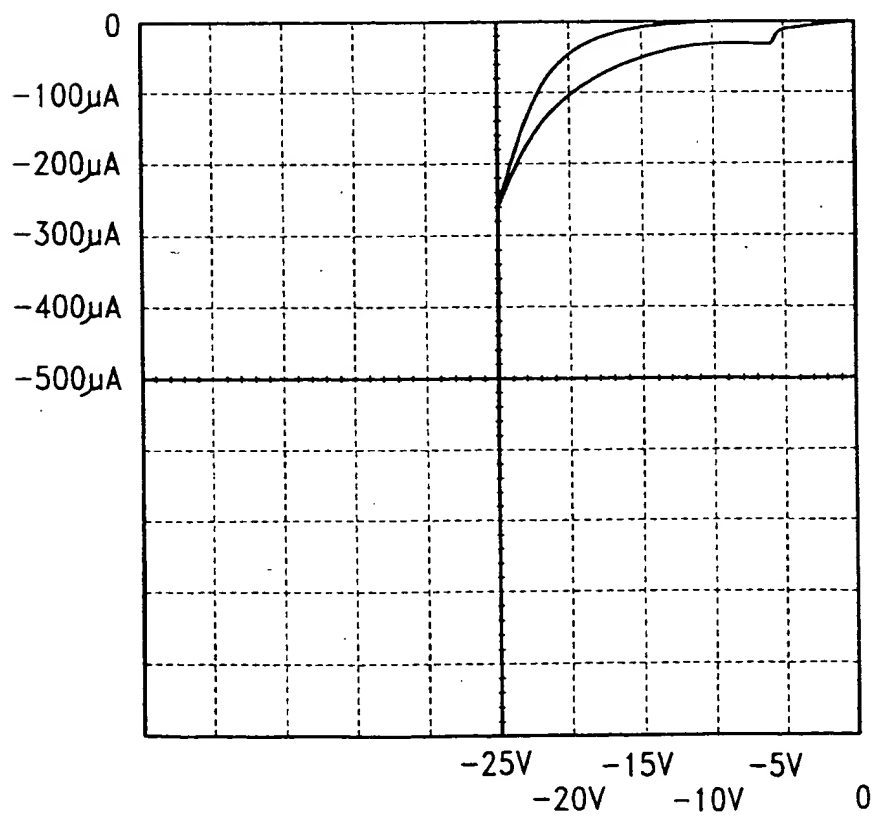


Fig.13

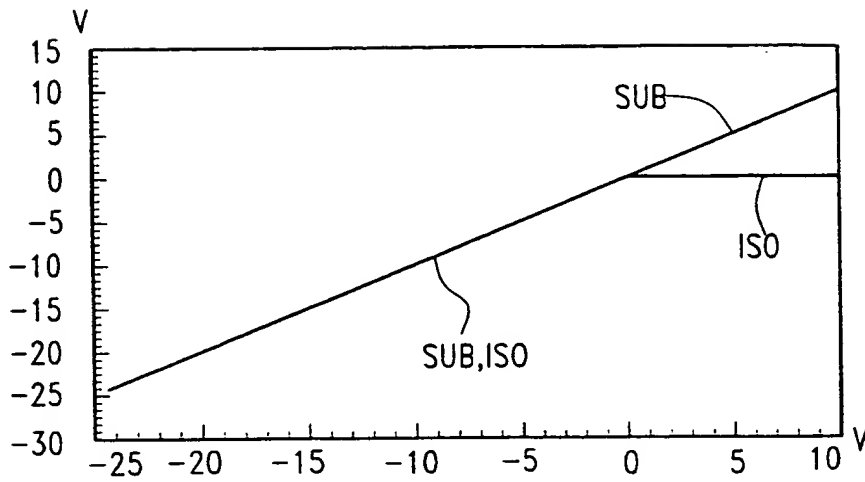


Fig.10

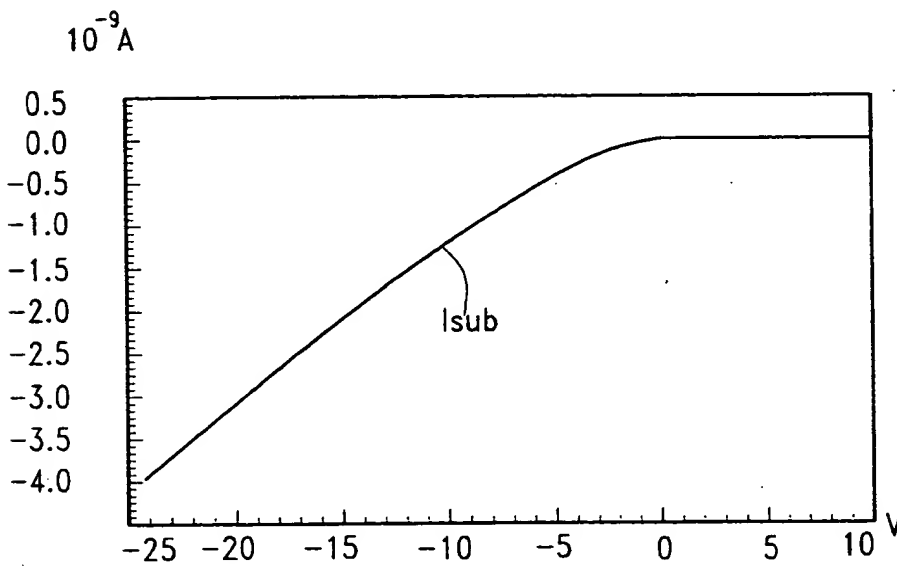


Fig.11

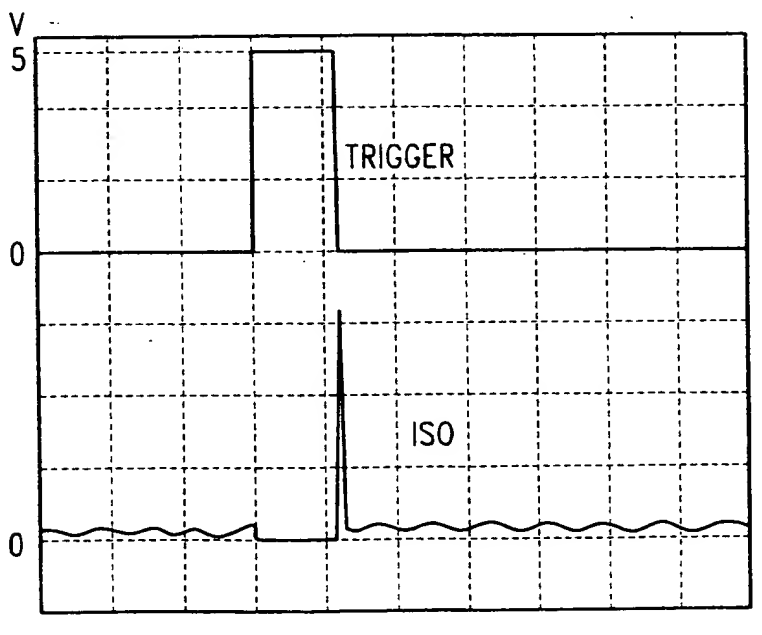


Fig.12

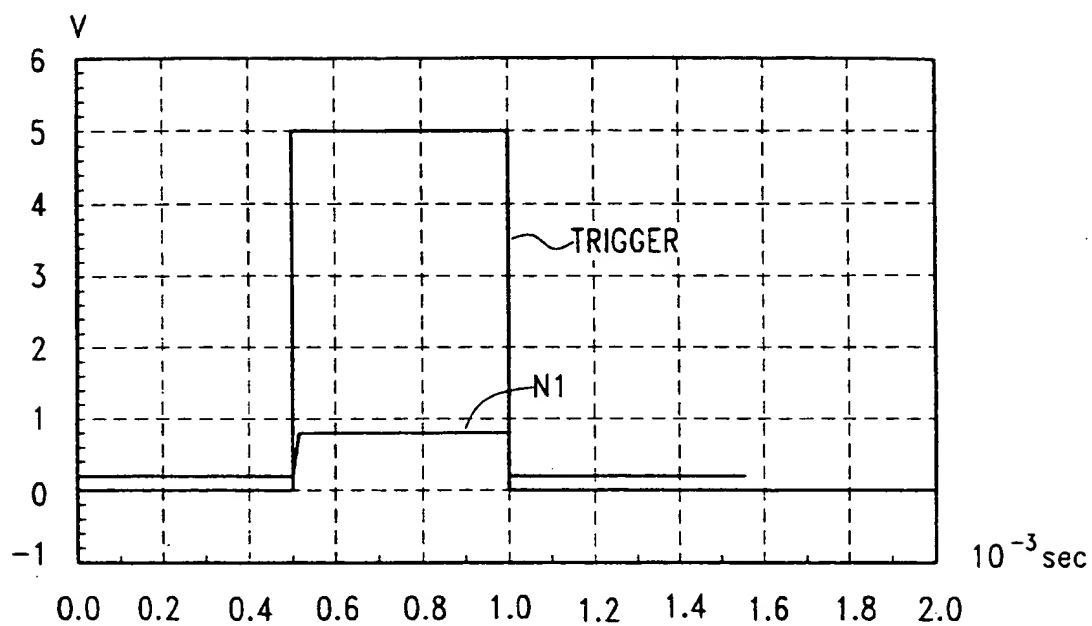


Fig.8

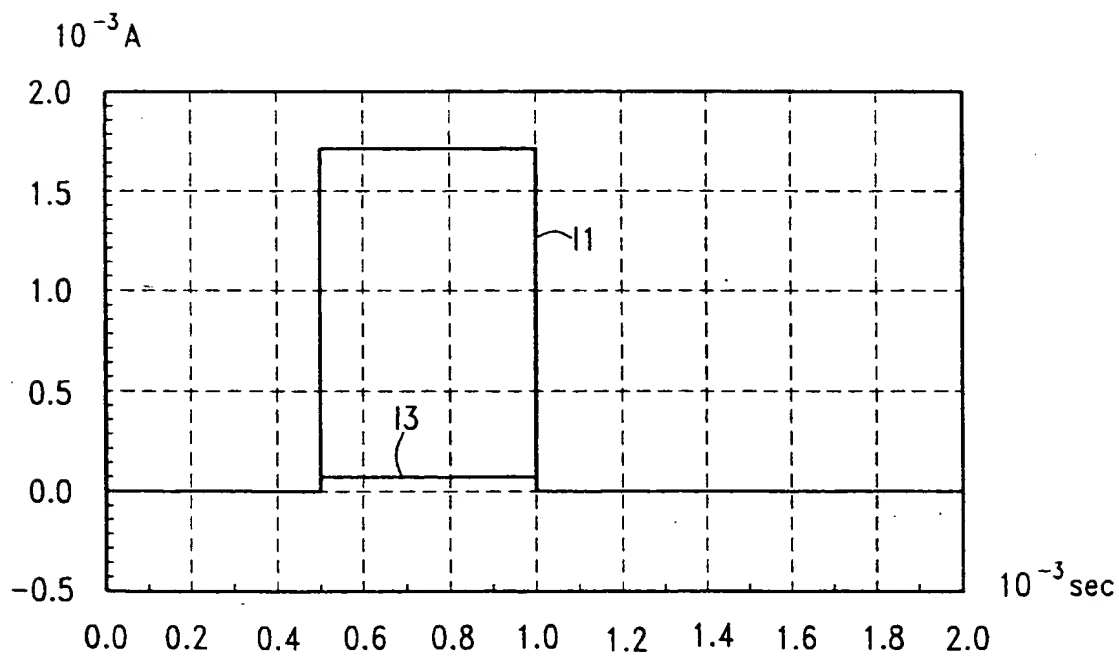


Fig.9